



(19)

Generated Document

(11) Publication number:

11186920 A

PATENT ABSTRACTS OF JAPAN

(21) Application
number: 09351435

(51) Int'l.
Cl.: H03M 13/12 G06F 11/10

(22) Application date: 19.12.97

(30) Priority:

(43) Date of application
publication: 09.07.99

(84) Designated
contracting states:

(71)
Applicant: SONY CORP

(72) Inventor: MIYAUCHI TOSHIYUKI
HATTORI MASAYUKI

(74)
Representative:

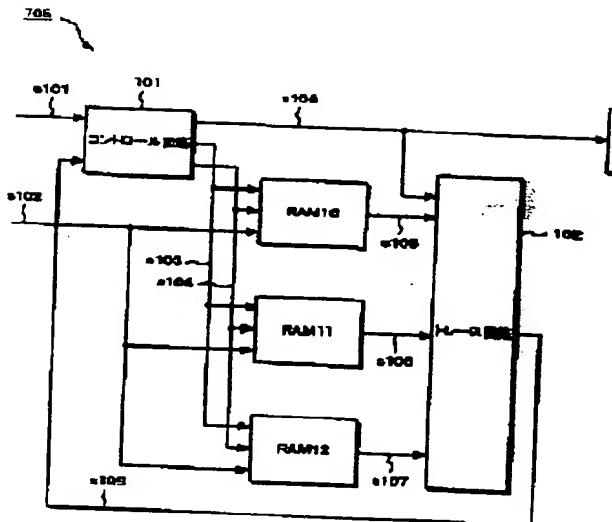
(54) VITERBI DECODER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a Viterbi decoder which is small in circuit scale and is capable of high speed operation.

SOLUTION: A path memory circuit 705 is provided with three RAMs (RAM10, RAM11, RAM12) with a dual port of, e.g. bit number = 8 and work number = 4, and path selection information s102 is written in the order of, e.g. RAM12→RAM11→RAM10→RAM12→RAM11.... for each clock under the control of a control circuit 101. On the other hand, the path selection information is read for each clock from the RAMs under the control of the control circuit 101 and given to a trace circuit 102 as read path selection information s105 or the like. The trace circuit 102 conducts tracing by 3 specified periods, based on the read path selection information, trace start state information s108 generated by the control circuit 101. Based on the trace result, decoded data and a trace start state for a succeeding blocks are obtained.

COPYRIGHT: (C)1999,JPO



【特許請求の範囲】

【請求項1】 疊み込み符号の各遷移状態でのバスの選択情報を、書き換え可能なメモリを用いて記憶するバスメモリを備え、そのバスメモリに保持された情報を打ち切り長分トレースすることでビタビ復号を行うビタビ復号装置において、

バスメモリ内に複数個の書き換え可能なメモリを備え、1クロックの間に複数時刻分のトレースを行って復号することを特徴とするビタビ復号装置。

【請求項2】 請求項1において、

バス選択情報を書き込む際には上記複数個の書き換え可能なメモリに順に書き込みを行い、

トレースの際には、上記複数個の書き換え可能なメモリから順に読み出しを行って複数時刻分のトレースを行うことを特徴とするビタビ復号装置。

【請求項3】 請求項2において、

上記複数個の書き換え可能なメモリから順に読み出しを行って複数時刻分のトレースを行う際に、

上記複数個の書き換え可能なメモリの各々から読み出されるバス選択情報の内、トレースする可能性のあるステートの情報を、トレース開始ステートに基づいて予め選択し、選択したステートの情報についてトレースを行うことを特徴とするビタビ復号装置。

【請求項4】 請求項2において、

1ライトー1リードのデュアルポートのRAMを所定個数備え、

1クロックの間に上記デュアルポートのRAMの個数に等しい数の時刻分のトレースを行うことを特徴とするビタビ復号装置。

【請求項5】 請求項2において、

シングルポートのRAMを所定個数備え、

1クロックの間に上記シングルポートのRAMの個数より1少ない数の時刻分のトレースを行うことを特徴とするビタビ復号装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば衛星放送等で使用される疊み込み符号の最尤復号法に使用されるビタビ復号装置に関する。

【0002】

【従来の技術】 疊み込み符号を復号する方式の一つとして、ビタビ復号方式が知られている。このビタビ復号方式は、疊み込み符号に対する最尤復号方式であり、送信側のエンコーダから生成され得る符号系列の中から、受信された符号系列に最も近い系列（以下、このような系列を最尤バスと表記する）を選ぶことにより、誤り訂正を行う。すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、遷移ダイヤグラム（以下、トレスと表記する）を前提とし、遷移ダイヤグラム上で生じ得る遷移の内から、例えば受信された符号系列との

ハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0003】 ビタビ復号方式を行うビタビ復号装置はプランチメトリック、すなわちトレリス上の各状態に達するバスと受信された符号系列とのハミング距離をロックに従って計算するプランチメトリック計算回路と、プランチメトリックに基づいてステートメトリックを計算し、ステートメトリックの値を比較して最尤バスを選択するACS回路、ステートメトリックの値を正規化する正規化回路、ステートメトリックの値を記憶するステートメトリック記憶回路、ACSによる選択結果従って復号データを生成するバスメモリ回路を備える成とされている。

【0004】 ここで、バスメモリ回路としては、レジタ列を用いてバス選択内容を遷移させるレジスタ遷移を行うものと、RAMを用いてバス選択内容を記憶させ、記憶内容をトレースして復号する方法を行うもの2種類がある。以下、これら2種類の方法について説する。

【0005】 従来のビタビ復号装置において一般的に用されてきたレジスタ遷移法においては、バスメモリ路内にセレクタとレジスタからなるメモリセルをトレース上に配置し、ACS回路から出力されるバス選択情報に基づいてレジスタの内容を遷移させる。メモリセル構成の一例を図16に示した。また、拘束長=3の場合のメモリセルの配置の一例を図17に示した（図17ではメモリセルをMSと表記した）。このような構成により、各メモリセルのレジスタ内には、各ステートからの生き残りバスに対応する情報が保存されることになる。メモリセルには打ち切り長分の段数が配置され、終段の出力の内、最尤ステートの出力を選ぶことによって最尤バスに対する情報を選択し、復号データを出力する。

【0006】 このようなレジスタ遷移法は、高速動作可能であるという利点がある反面、打ち切り長が長くなると回路規模が膨大になるという欠点がある。特に、近は、打ち切り長が100を超えるような用途も出てたので、回路規模の大型化が深刻な問題となっている。

【0007】 そこで、近年では、打ち切り長分のRAM(Random Access Memory)を用いてバス情報を記憶し、記憶した情報をトレースすることで復号する方法が盛んに研究されている。以下、この方法をトレースバック法呼ぶ。

【0008】

【発明が解決しようとする課題】 トレースバック法によれば、レジスタ遷移法よりも遙に回路規模の小さいバスメモリ回路を構成できる。しかしながら、トレースバック法を行う従来の装置においては、依然としてバスメモリ回路が大きな回路規模を有している。

【0009】 この発明はこのような事情に鑑みて提案

れたものであり、従って、この発明の目的は、回路規模が小さく、高速動作可能なビタビ復号装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1の発明は、脳み込み符号の各遷移状態でのバスの選択情報を、書き換え可能なメモリを用いて記憶するバスメモリを備え、そのバスメモリに保持された情報を打ち切り長分トレースすることでビタビ復号を行うビタビ復号装置において、バスメモリ内に複数個の書き換え可能なメモリを備え、1クロックの間に複数時刻分のトレースを行って復号することを特徴とするビタビ復号装置である。

【0011】以上のような発明によれば、1クロックの間に複数時刻分のトレースを行って復号を行うことにより、RAMの総ワード数を少なくすることができます。

【0012】また、バス選択情報を書き込む際には複数個の書き換え可能なメモリに順に書き込みを行い、トレースの際には、かかる複数個のメモリから順に読み出しを行って複数時刻分のトレースを行うことにより、各クロックの各メモリへのアクセス回数を1回としつつ、複数時刻分のトレースが可能となる。

【0013】さらに、複数個のメモリの各々の出力の内、トレースする可能性のあるステートの情報を、トレース開始ステートに基づいて予め選択し、選択されたステートの情報についてトレースを行うようにすることで、複数時刻分のトレースを行っても遅延の増大を最小限に抑えることが可能となる。

【0014】

【発明の実施の形態】以下、図面を参照して、この発明の第1の実施形態について説明する。まず、図1を参照してこの発明の第1の実施形態の全体的な構成について説明する。この発明の第1の実施形態は、プランチメトリック計算回路701、ACS回路702、正規化回路703、ステートメトリック記憶回路704、およびバスメモリ回路705を備える構成とされており、送信側から伝送路を介して受信されたデータが入力された時、送信側のエンコーダから生成され得る符号系列の中から最尤バスを選択し、選択内容に基づいて復号データを生成する。

【0015】すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、例えば図2に示すような遷移ダイヤグラム（以下、トレスと表記する）を前提とし、遷移ダイヤグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0016】プランチメトリック計算回路701は、受信データ信号s701が入力されたとき、この受信データのプランチメトリックを計算して、計算結果をプランチメトリック信号s702として出力する。ACS回路702は、プランチメトリック信号s702と、ステー

トメトリック記憶回路704から入力されるステートトリック信号s705に基づいて、あるステートに流する2本のそれぞれのバスに対し、プランチメトリックとステートメトリックとを加算してそれら加算値を較し、比較結果に基づいて尤度の高いものを選択して新ステートメトリックとする。

【0017】このような選択の内容をバス選択情報s06として出力し、最小のステートメトリックを持つステートの番号を最尤ステート信号s707として出力し、新たに得られたステートメトリックを新ステートトリック信号s703として出力する。

【0018】ここで、バスの選択方法について、拘束=4の場合を例として説明する。図2のトレスは、個のステート000、001、010、011、100、101、110、111を有し、拘束長=4の場のトレスの一例である。ここで矢印は各タイムスロット毎に生じ得るバスを示しており、復号データ'0'に応するバスを点線で示し、復号データ'1'に対応するバスを実線で示した。各タイムスロット毎にすべてのステートには合流する2本のバスが存在する。そこで、あるステートに合流する2本のそれぞれのバスに対し、受信信号とバスとのハミング距離（プランチメトリック）と、それまでのプランチメトリックの累積和（ステートメトリック）とを加算して比較を行い、この比較結果に基づいて尤度の高いものが選択される。

【0019】正規化回路703は、ACS回路702から出力される新ステートメトリック信号s703から小のステートメトリックを減算する方法等を用いて正規化し、予め設定されている範囲内の値にして、正規化ステートメトリック信号s704として出力する。ステートメトリック記憶回路704は、正規化回路703から出力される正規化ステートメトリック信号s704を記憶し、これをステートメトリック信号s705として、CS回路702に戻す。

【0020】バスメモリ回路705は、トレースバック法による復号動作を行うものであり、上述したような、トレースバック法を行う一般的なバスメモリと比較し、RAMの面積を小さくするようになされたものである。かかるバスメモリ回路705の説明を行うに先立って、理解を容易とするために、一般的なトレースバック法におけるトレースの動作を拘束長=4の場合を例として説明する。図3において、ステート01からトレースする場合を考える。ステート001への遷移の可能性があるステートは、ステート000とステート100である。ここでバスメモリには、ステート000側のバスを選んでいた時には0、ステート100側のバスを選んでいた時には1（すなわち前ステートの最上位ビット）を記憶してある。

【0021】また、何れのステートから遷移する場合にも入力は1であり、これはステート001の最下位ビット

トで表現されている。以上により、トレースの動作は次のように行けば良い。すなわち、図4に示すように、トレースを開始するトレース開始ステートの最下位ビットを復号ビットとし、トレース開始ステートに後続してトレースする次トレースステートの番号は、トレース開始ステートの最上位ビットから下位2ビット目までに、バスメモリ内のビットを新たに最上位ビットとして付け加えることで生成する。このような動作によって、最小ステートメトリックをとるステートから、選択されたバスを選ぶことができる。

【0022】ビタビ復号装置を高速に動作させるためには、RAMはクロック毎に一回しかアクセスできない。各RAMに対して1回のアクセスで復号を行うためのバスメモリ回路の動作を、シングルポートのメモリを4個使用する場合を例として説明する。以下の説明においては、符号の拘束長=4とし、打ち切り長=6とする。この場合に、4個のシングルポートのメモリとしては、ステート数分のビット数（ここでは8ビット）と打ち切り長分のワード数（ここでは6ワード）を持つものが使用される。ACS回路からバスメモリへは、ステート数分のバス選択情報が毎クロック入力される。4個のRAMは、以下の（1）～（4）の4個の役割を打ち切り長分のクロック（ここでは6クロック）毎に順次切り替える（図5参照）。

【0023】（1）バス選択情報を順次書き込む。

【0024】（2）書き込まれたバス選択情報に基づいて順次トレースする。復号は行わない。

【0025】（3）アクセス無し。

【0026】（4）（2）でのトレース結果から順次トレースを行って復号ビットを出力する。

【0027】このような切り替え動作の基づく各RAMの動作を図6に示す。以上のようなメモリオペレーションによって、RAMを用いても高速な復号が可能なビタビ復号装置を構成することができる。このような一般的なトレースバック法によればレジスタ遷移法を行う場合と比較して遙に回路規模を縮小できる。しかしながら、打ち切り長分のワード数を持つRAMが4個必要なため、RAMの総ワード数は打ち切り長×4となり、依然として大きな回路規模が必要とされる。そこで、この発明の一実施形態は、バスメモリ回路の回路規模をさらに縮小するものである。

【0028】図7を参照して、この発明の一実施形態におけるバスメモリ回路705について説明する。バスメモリ回路705は、拘束長=4の符号に対し、打ち切り長=6の復号を行う場合に、ビット数=8でワード数=4の1ライト-1リードのデュアルポートのRAMを3個備え、1クロックの間に3時刻分のトレースを行うバスメモリ回路である。

【0029】ACS回路から入力されるバス選択情報s102は、コントロール回路101で生成される書き込

みコントロール信号s103に基づいて、毎クロックRAM12→RAM11→RAM10→RAM12→AM11…の順にRAMに記憶される。RAM10、RAM11、RAM12からはコントロール回路01で生成される読み出しコントロール信号s104従って、毎クロック全てのRAMからバス選択情報のみ出しを行って読み出しコントロール信号s105、s106s107をトレース回路102に入力する。

【0030】なお、コントロール回路101に基づくモリオペレーションのタイミングを図8に示す。トレース回路102では、RAM10、RAM11、RAM2から出力される読み出しコントロール信号s105、s106、s107、およびコントロール回路101で生成されるトレース開始ステート情報s108に従って3時分のトレースを行い、その結果はトレース結果信号s09としてコントロール回路s101に入力される。コントロール回路s101では、トレース結果信号s09と最尤ステート信号s101に基づいて、打ち切り/2クロック毎にトレース開始ステートの初期化を行ながら、次のクロックのトレース開始ステートを求める。

【0031】このようなメモリオペレーションについて、図9および図10を参照してより具体的に説明する。図9および図10は連続する時刻におけるRAM0、RAM11、RAM12に対する書き込み/読みしについて図示したものである。上述したように、これら3個のRAMは、ビット数=8でワード数=4のデアルポートのRAMである。記載スペースの都合により、図9に時刻1～時刻6までを図示し、図10に時7～時刻13までを図示した。ここで、各メモリのアドレスは何れも左から順に0、1、2、3であるとする。時刻1、2、3…9までは、各RAMに順次バス選択情報が書き込まれ、時刻9においては、各RAMにおいて3つのアドレスに書き込みがなされている。

【0032】時刻10以降のオペレーションが図8に示されている。時刻10に対応する図8の先頭のクロックにおいては、各RAMのアドレス3から記憶内容（3のバス選択情報9、8、7）を読み出し、トレースを行うと共に、RAM12のアドレス0に後続のバス選択情報10を書き込む。ここで、図9および図10においては、読み出しの矢印に付し't'はトレースを行うことを示し、'd'はトレースして復号を行うことを示す。

【0033】時刻11に対応する図8の2番目のクロックにおいては、各RAMのアドレス2から記憶内容（3のバス選択情報6、5、4）を読み出し、トレースを行うと共に、RAM11のアドレス0に後続のバス選択情報11を書き込む。さらに、時刻12に対応する図の3番目のクロックにおいては、各RAMのアドレスから記憶内容（3のバス選択情報3、2、1）を読み出し、トレースしてから、バス選択情報1～9に対応する復

を行うと共に、RAM12のアドレス0に後続のバス選択情報12を書き込む。そして、時刻13に対応する図8の4番目のクロックにおいては、各RAMのアドレス0から記憶内容（3個のバス選択情報10、11、12）を読み出し、トレースおよびトレース開始ステートの初期化を行うと共に、RAM12アドレス1に後続のバス選択情報13を書き込む。

【0034】このように復号およびそれに後続するクロックにおけるトレース開始ステートの初期化が3クロックに1度行われ、また、何れのクロックにおいても、後続のバス選択情報が1アドレス分入力される。

【0035】一方、トレース開始ステート情報s108は出力バッファ103にも入力される。出力バッファ103では打ち切り長以上トレースを行った後のトレース開始ステート情報s108の下位3ビットを復号ビットとしてバッファし、本来の時系列順に並べ換えた後に復号ビット信号s110として出力する。以上のような構成によって、各RAMへのアクセスは、毎クロックにつき1回としたまま、バスメモリ回路内のRAMの総ワード数を打ち切り長×2にすることができる。これによってビタビ復号装置の回路規模を削減できる。

【0036】次にトレース回路102について説明する。トレースはRAM10→RAM11→RAM12の順に行われる所以、バス選択情報s105の中から何れのステートのバス選択情報を選ぶかは、トレース開始ステート情報s108によって決定される。また、トレース開始ステート情報s108によってバス選択情報s106、s107からは選ぶべきステートの候補を、それぞれ2つ、4つまで絞ることができる（図11参照）。トレース回路102は、この性質を用いることで構成する。

【0037】図12に、トレース回路102の構成を図示した。RAM10、RAM11、RAM12から入力されるバス選択情報s105、s106、s107は、それぞれ、選択回路401、402、403に入力される。一方、選択回路401、402、403には、トレース開始ステート情報s107も入力される。選択回路401では、トレース開始ステート情報s107に従って、バス選択情報s104からトレースするステートのバス選択情報を選択して、トレース結果情報s401として出力する。また、選択回路402では、トレース開始ステート情報s107に従って、バス選択情報s105からトレースする可能性のある2つのステートのバス選択情報を選択して、前トレース情報s402として出力する。

【0038】前トレース情報s402は選択回路404に入力される。選択回路404にはさらに、トレース結果情報s401が入力される。選択回路404は、トレース結果情報s401に従ってトレースするステートのバス選択情報を選択して、トレース結果情報s403と

して出力する。また、選択回路403では、トレース始ステート情報s107に従ってバス選択情報s100からトレースする可能性のある4個のステートのバス選択情報を選択して、前トレース情報s404として出する。前トレース情報s404は、選択回路405に力される。選択回路405にはさらに、トレース結果情報s401およびs403が入力される。選択回路45は、トレース結果情報s401およびs403に従ってトレースするステートのバス選択情報を選択してトレース結果情報s405として出力する。最後にトレース結果情報s401、s403、s405を3ビットまとめてトレース結果信号s109として出力する。

【0039】以上のようなトレース回路102の構成により、この発明の一実施形態においては、複数時刻分トレースを行っても、1時刻分のトレースを行う場合比較してセレクタ2段分の遅延を生じるのみであり、信号動作速度が殆ど損なわれようになることができる。

【0040】上述したこの発明の一実施形態は、1データー1リードのデュアルポートのRAMを3個備え、クロックの間に3時刻分のトレースを行うバスメモリ回路を使用するものである。これに対して、異なる構成有するバスメモリ回路を使用する、この発明の他の実施形態も可能である。図13に、この発明の他の実施形態におけるバスメモリ回路の構成を図示した。かかるバスメモリ回路は、拘束長=4の符号に対し、打ち切り長=6の復号を行う場合に、ビット数=8でワード数=3のシングルポートのRAMを4個（RAM50、RAM51、RAM52、RAM53）備え、1クロックの間に3時刻分のトレースを行う回路である。

【0041】ACS回路から入力されるバス選択情報s502は、書き込みコントロール信号s503に従って、毎クロック、RAM53→RAM52→RAM51→RAM50→RAM53→…の順にRAMに記憶される。また、RAM50、RAM51、RAM52、RAM53は読み出しコントロール信号s504に従って、毎クロック3つのRAMからバス選択情報の読み出しを行って、バス選択情報s505、s506、s507、s508を出力する。バス選択情報s505、s506、s507、s508は、トレース回路502に力される。ここで、書き込みコントロール信号s503および読み出しコントロール信号s504は、コントロール回路501で生成され、RAM50、RAM51、RAM52、RAM53にそれぞれ入力される。なお、コントロール回路501に基づくメモリオペレーションのタイミングを図14に示す。

【0042】トレース回路502では、RAM50、51、52、53から出力されるバス選択情報s505、s506、s507、s508、およびコントロール回路501で生成されるトレース開始ステート情報s509に従って3時刻分のトレースを行い、その結果がト

ース結果信号 s 510 としてコントロール回路 501 に入力される。トレース回路 502 は、例えば図 12 に示したこの発明の一実施形態におけるトレース回路 102 に用いられているような選択回路を組み合わせて構成することができる。また、コントロール回路 501 では、トレース結果信号 s 510 と最尤ステート信号 s 501 とに基づいて、打ち切り長／2 毎にトレース開始ステートの初期化を行なながら、次のクロックのトレース開始ステートを求める。

【0043】このようなメモリオペレーションについて、図 15 および図 16 を参照してより具体的に説明する。図 15 および図 16 は連続する時刻における RAM 50, RAM 51, RAM 52, RAM 53 に対する書き込み／読み出しについて図示したものである。上述したように、これら 4 個の RAM は、ビット数 = 8 でワード数 = 3 のシングルポートの RAM である。記載スペースの都合により、図 15 に時刻 1～時刻 6 までを図示し、図 16 に時刻 7～時刻 13 までを図示した。ここで、各メモリのアドレスは何れも左から順に 0, 1, 2 であるとする。時刻 1, 2, 3 … 9 までは、各 RAM に順次バス選択情報が書き込まれ、時刻 9においては、各 RAM について 2 つのアドレスに書き込みがなされている。

【0044】この状態に後続する時刻 10 以降のオペレーションが図 14 に示されている。時刻 10 に対応する図 14 の先頭のクロックにおいては、3 個の RAM (すなわち RAM 50, RAM 51, RAM 52) のアドレス 2 から記憶内容 (バス選択情報 9, 8, 7) を読み出し、トレースを行うと共に、1 個の RAM (すなわち RAM 53) のアドレス 0 に後続のバス選択情報 10 を書き込む。ここで、読み出しの矢印に付した 't' はトレースを行うことを示し、'd' はトレースして復号を行うことを示す。

【0045】時刻 11 に対応する図 14 の 2 番目のクロックにおいては、3 個の RAM (すなわち RAM 50, RAM 51, RAM 53) のアドレス 2 から記憶内容 (バス選択情報 6, 5, 4) を読み出し、トレースを行うと共に、1 個の RAM (すなわち RAM 11) のアドレス 0 に後続のバス選択情報 11 を書き込む。この際の読み出しは、2 個の RAM (RAM 50, RAM 51) についてはアドレス 1 についてなされ、他の 1 個の RAM (RAM 53) についてはアドレス 2 についてなされる。

【0046】さらに、時刻 12 に対応する図 14 の 3 番目のクロックにおいては、3 個の RAM (すなわち RAM 50, RAM 52, RAM 53) のアドレス 2 から記憶内容 (バス選択情報 3, 2, 1) を読み出し、トレースしてから、バス選択情報 1～9 に対応する復号を行うと共に、他の 1 個の RAM (すなわち RAM 51) のアドレス 0 に後続のバス選択情報 12 を書き込む。この際 50

の読み出しは、2 個の RAM (RAM 52, RAM 53) についてはアドレス 1 についてなされ、他の 1 個 RAM (RAM 51) についてはアドレス 0 についてされる。

【0047】そして、時刻 13 に対応する図 14 の 4 目のクロックにおいては、3 個の RAM (すなわち RAM 51, RAM 52, RAM 53) のアドレス 0 から記憶内容 (バス選択情報 10, 11, 12) を読み出しトレースおよびトレース開始ステートの初期化を行うと共に、他の 1 個の RAM (すなわち RAM 50) のアドレス 0 に後続のバス選択情報 13 を書き込む。

【0048】このように復号およびそれに後続するクロックにおけるトレース開始ステートの初期化が 3 クロックに 1 度行われ、また、何れのクロックにおいても、続のバス選択情報が 1 アドレス分入力される。

【0049】一方、トレース開始ステート情報 s 50 は、出力バッファ 503 にも入力される。出力バッファ 503 は打ち切り長以上トレースを行った後のトレース開始ステート情報 s 507 の下位 3 ビットを復号ビットとしてバッファし、本来の時系列順に並べ換えた後に号ビット信号 s 511 として出力する。

【0050】このように、この発明の他の実施形態においても、各 RAM へのアクセスは毎クロックにつき 1 としたまま、バスメモリの RAM の総ワード数を打ち切り長 × 2 にすることができる。また、この発明の他の実施形態におけるバスメモリ回路は、シングルポートのメモリのみを用いるために、図 7 等を参照して上述した、の発明の一実施形態と比較してさらに回路規模を削減できる。さらに、トレース回路 502 においては、この発明の一実施形態におけるバスメモリ回路 705 中のトレース回路 102 と同様に予めステートの候補を絞ることにより、遅延の増大を最小限に抑えることができる。

【0051】上述したこの発明の一実施形態およびこの発明の他の実施形態においては、拘束長 = 4、打ち切り長 = 6 の場合について説明したが、拘束長および打ち切り長がこの値に限らず任意の値をとることができる。また、この発明の一実施形態等においては、1 クロック毎に 3 時刻分のトレースを行う場合を例としたが、例えば 4 個のデュアルポート RAM を備える構成によってクロック毎に 4 時刻分のトレースを行う、或いは 5 個のシングルポート RAM を備える構成によって 1 クロック毎に 4 時刻分のトレースを行う等、種々の変形が可能である。

【0052】

【発明の効果】 上述したように、この発明は、1 クロック間に複数時刻分のトレースを行って復号を行うようにしたので、バスメモリ回路内の RAM の総ワード数を削減することができる。このため、装置の回路規模の小に寄与することができる。

【0053】また、毎クロックでの各 RAM へのア

ス回数は1回であること、およびトレース回路の上述した構成によって遅延の増大を最小限に抑えるようにしたことにより、高速な復号動作が可能となる。

【0054】従って、この発明により、回路規模が小さく、高速動作可能なビタビ復号装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態の全体的な構成について説明するためのブロック図である。

【図2】拘束長=4の場合の遷移ダイアグラムについて説明するための略線図である。

【図3】トレースバック法におけるトレースの原理について説明するための略線図である。

【図4】トレースバック法におけるトレースの方法について説明するための略線図である。

【図5】従来から行われている一般的なトレースバック法における各RAMの役割について説明するための略線図である。

【図6】従来から行われている一般的なトレースバック法におけるメモリオペレーションについて説明するための略線図である。

【図7】この発明の一実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図8】この発明の一実施形態におけるメモリオペレーションについて説明するための略線図である。

【図9】この発明の一実施形態におけるメモリオペレーションについてより具体的に説明するための略線図である。

る。

【図10】この発明の一実施形態におけるメモリオペーションについてより具体的に説明するための略線図である。

【図11】トレースする可能性のあるステートについて説明するための略線図である。

【図12】この発明の一実施形態におけるトレース回路について説明するためのブロック図である。

【図13】この発明の他の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図14】この発明の他の実施形態におけるメモリオペーションについて説明するための略線図である。

【図15】この発明の他の実施形態におけるメモリオペーションについてより具体的に説明するための略線図である。

【図16】この発明の他の実施形態におけるメモリオペーションについてより具体的に説明するための略線図である。

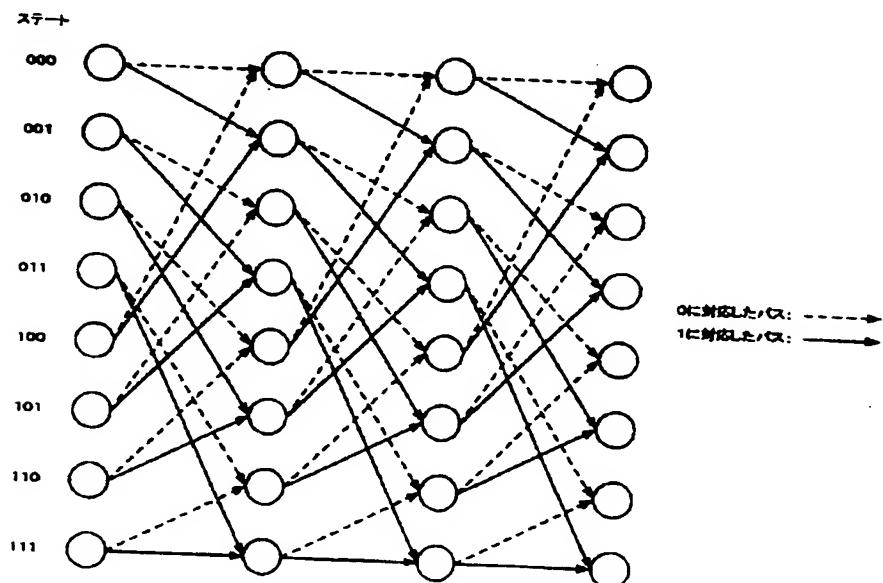
【図17】レジスタ遷移法におけるバスメモリのメモセルについて説明するための略線図である。

【図18】レジスタ遷移法におけるバスメモリ中のメモセルの配置について説明するための略線図である。

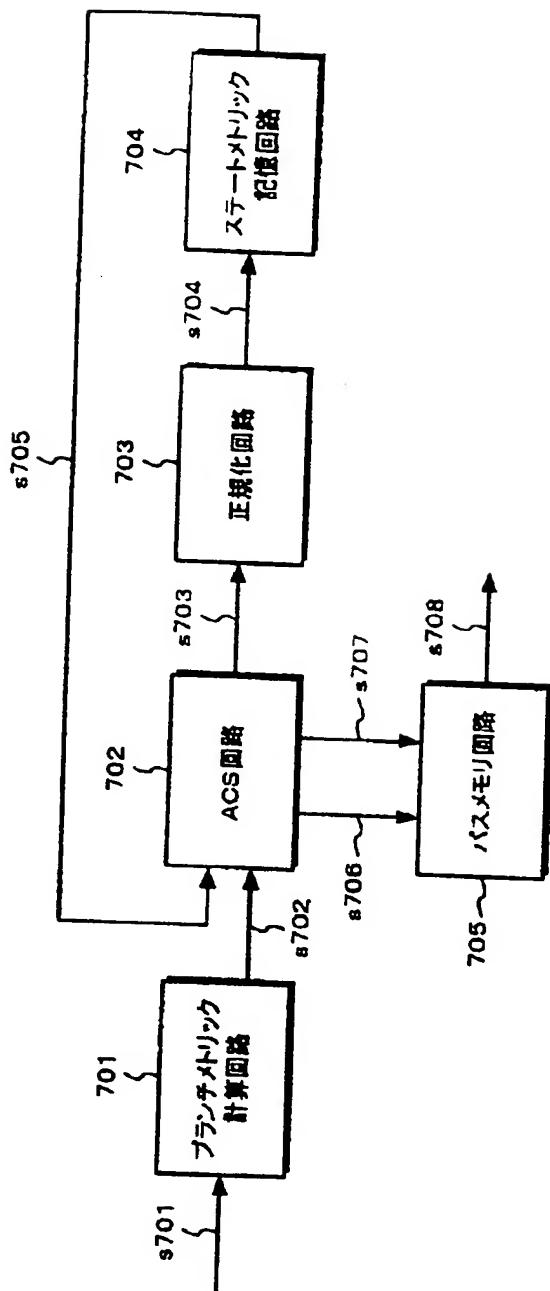
【符号の説明】

705...バスメモリ回路、101...コントロール回路、102...トレース回路、401、402、403、404、405...選択回路、501...コントロール回路

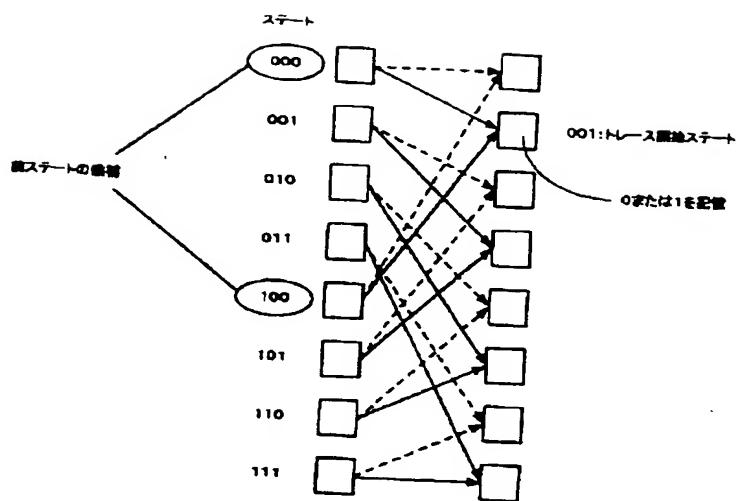
【図2】



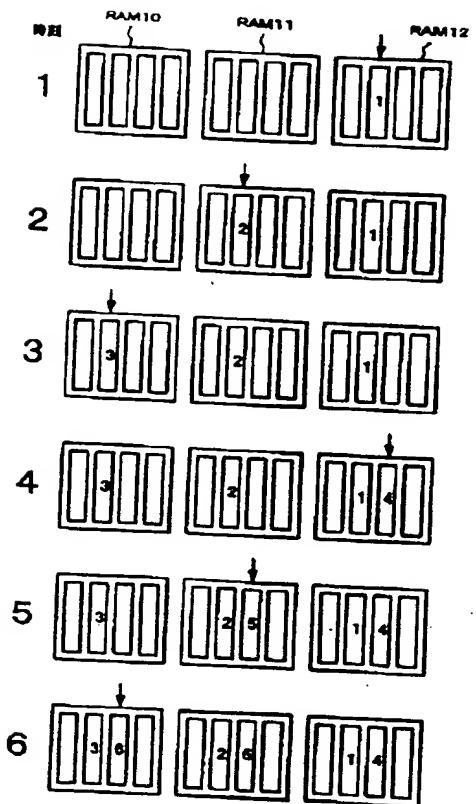
【図1】



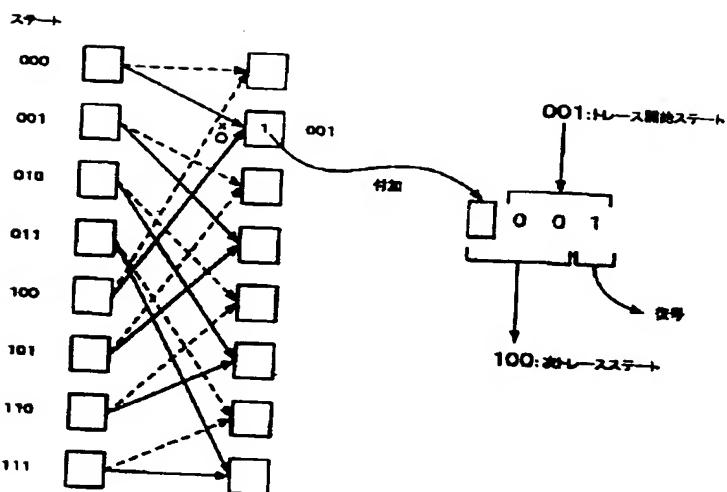
【図3】



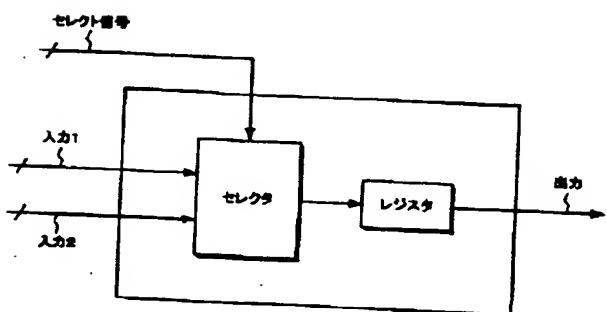
【図9】



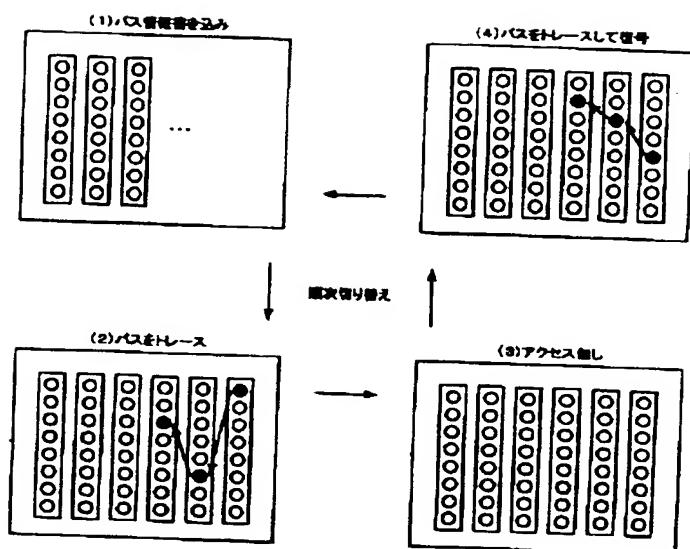
【図4】



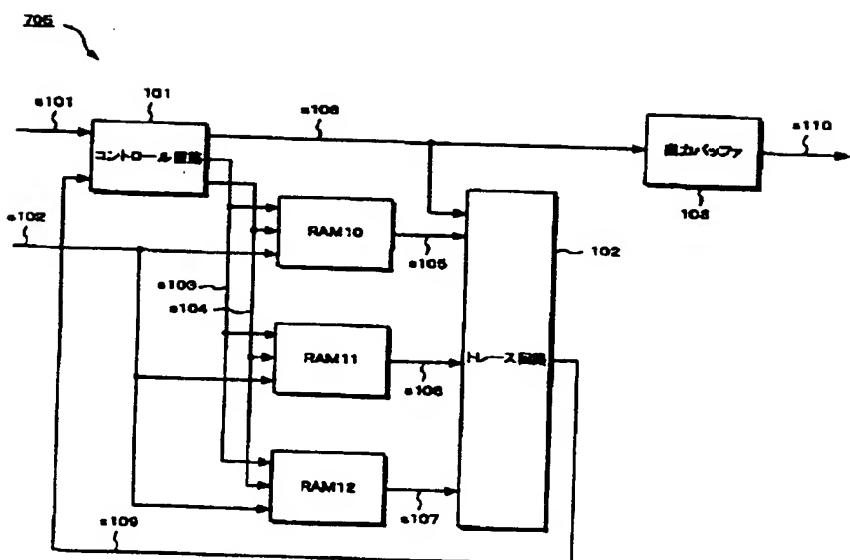
【図17】



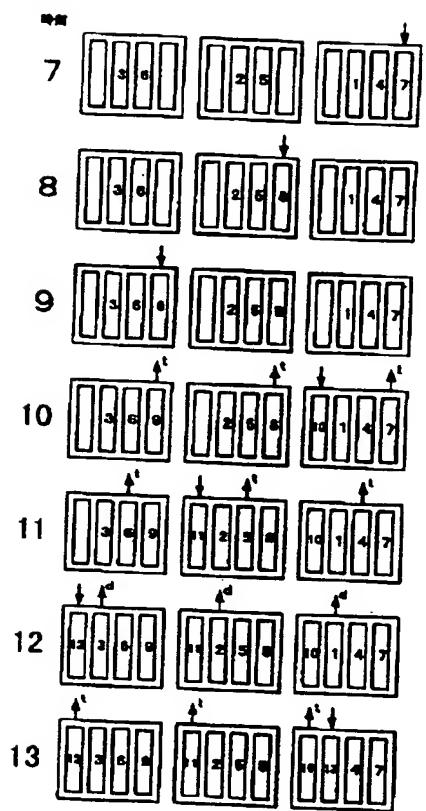
【図5】



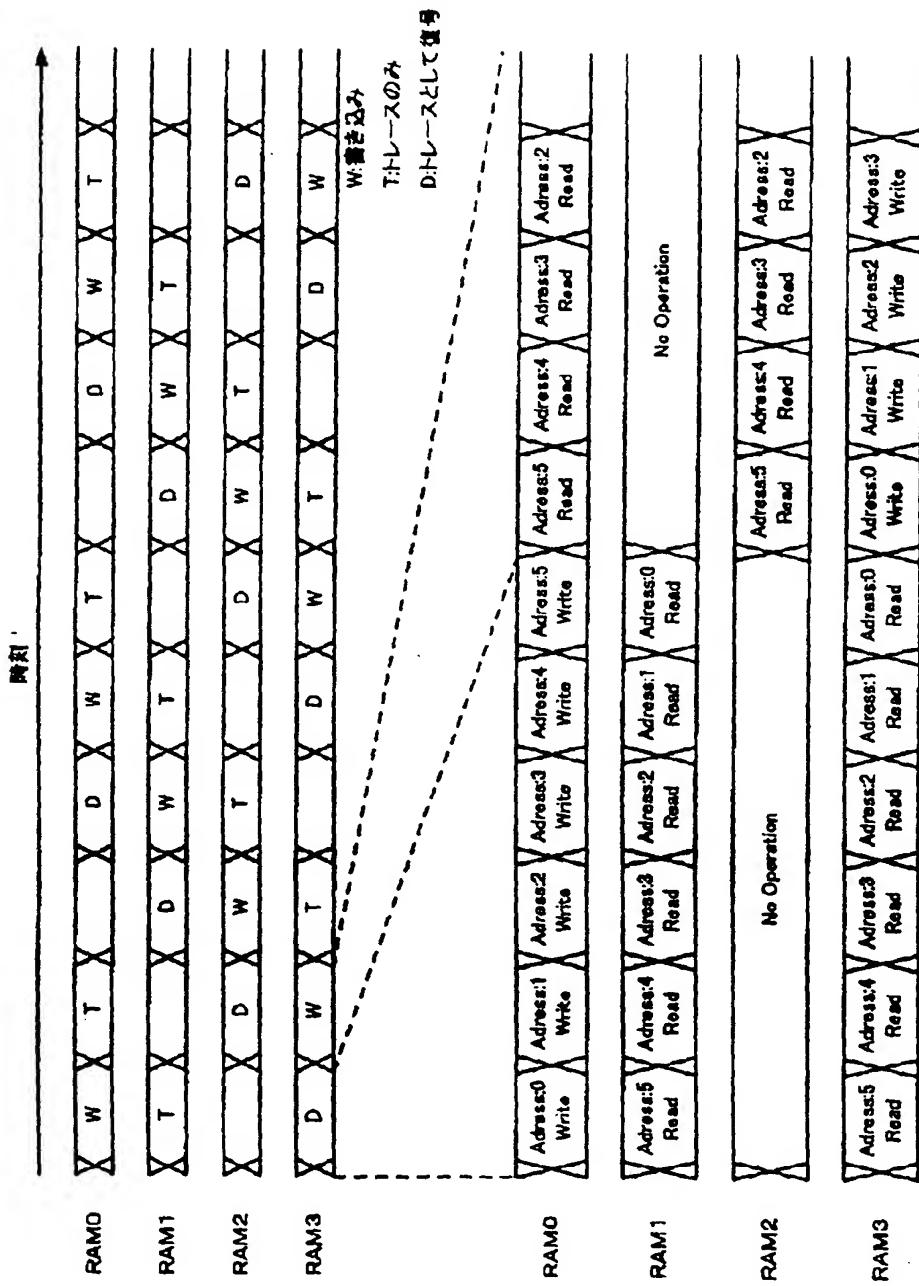
【図7】



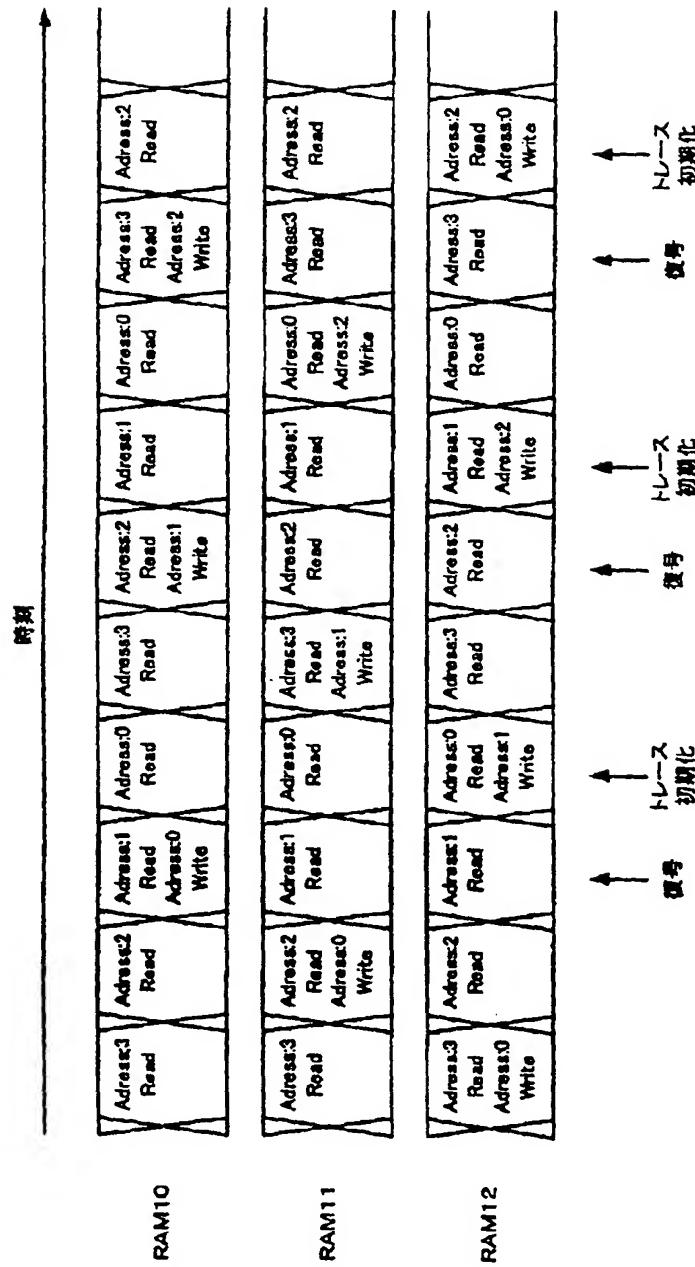
【図10】



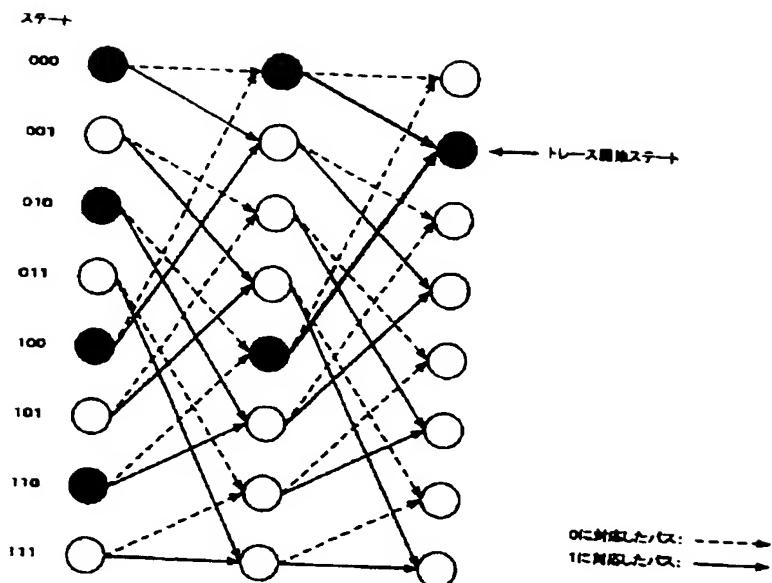
[図6]



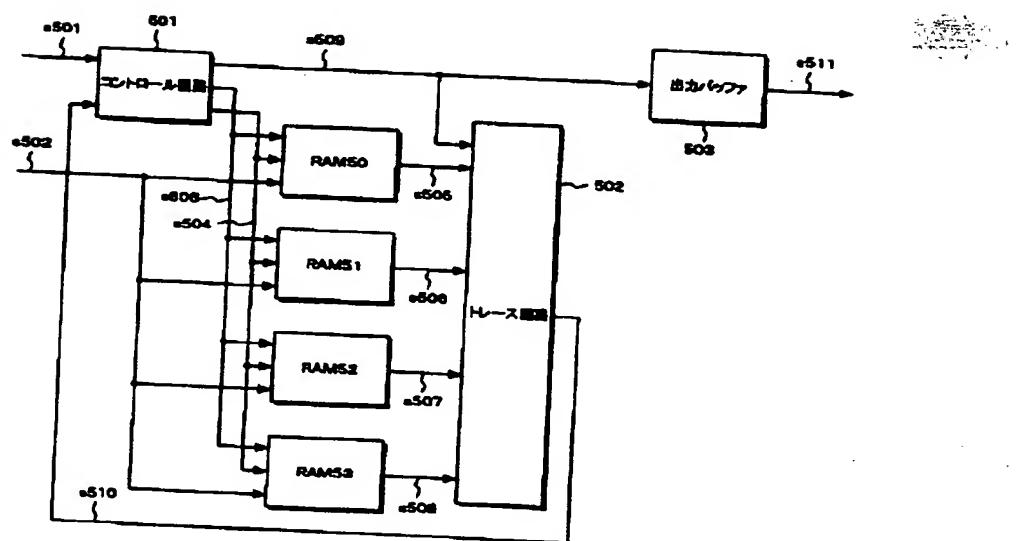
[図8]



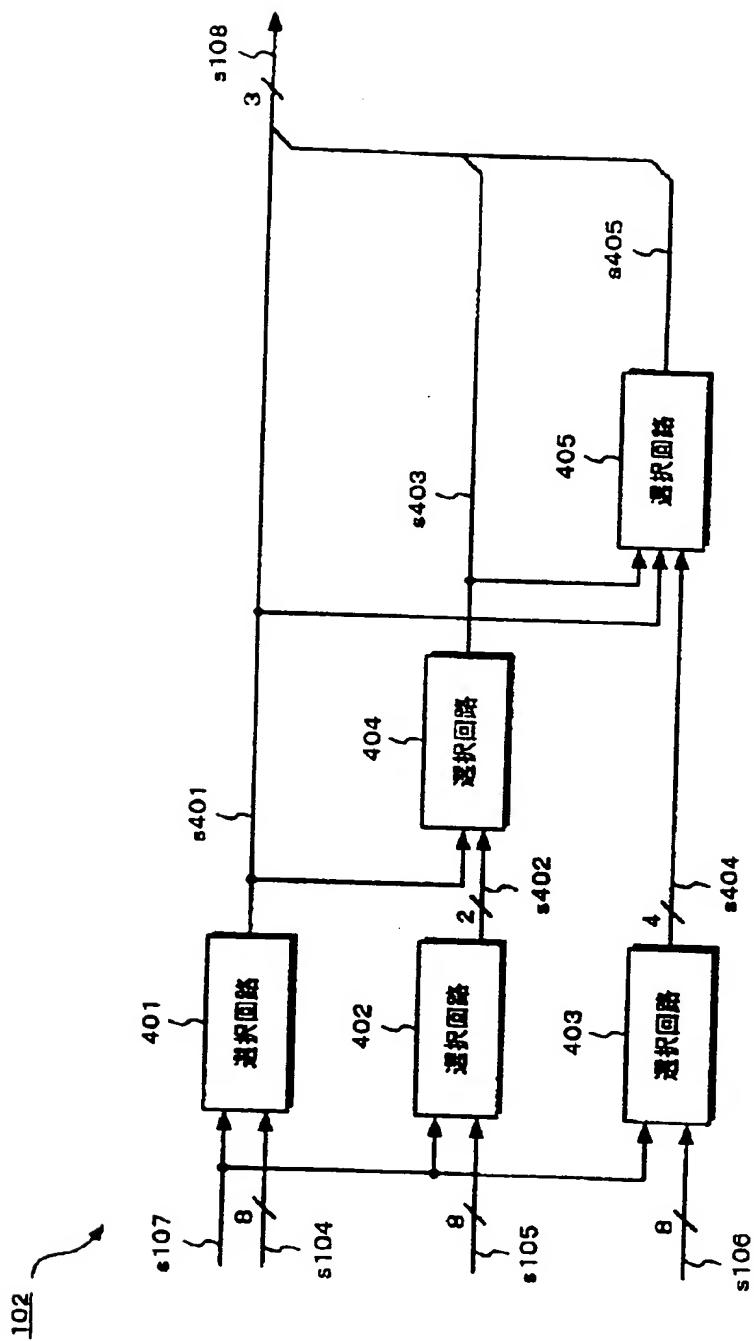
【図11】



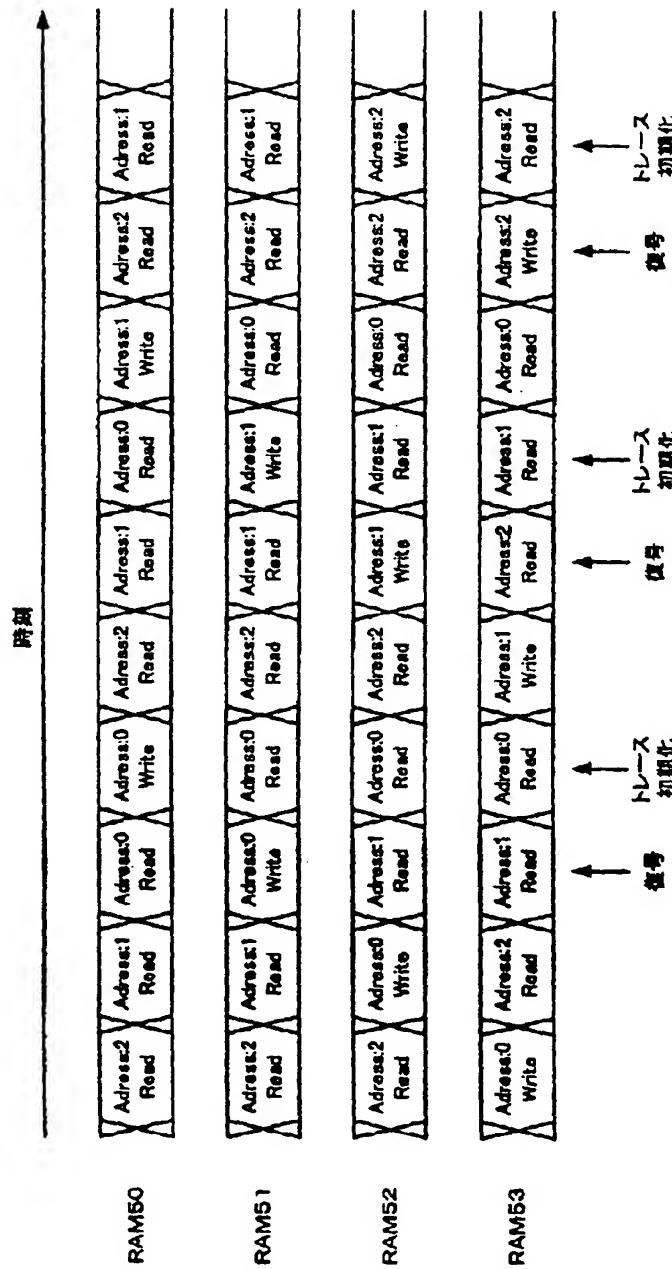
【図13】



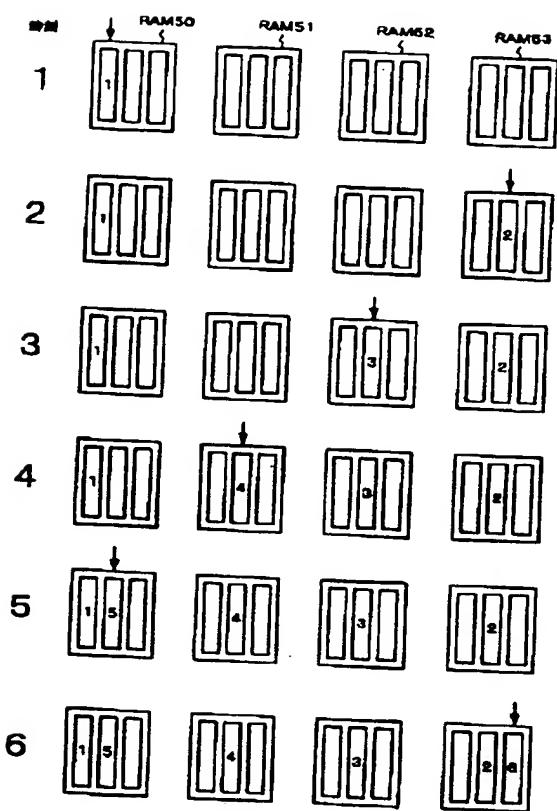
【図12】



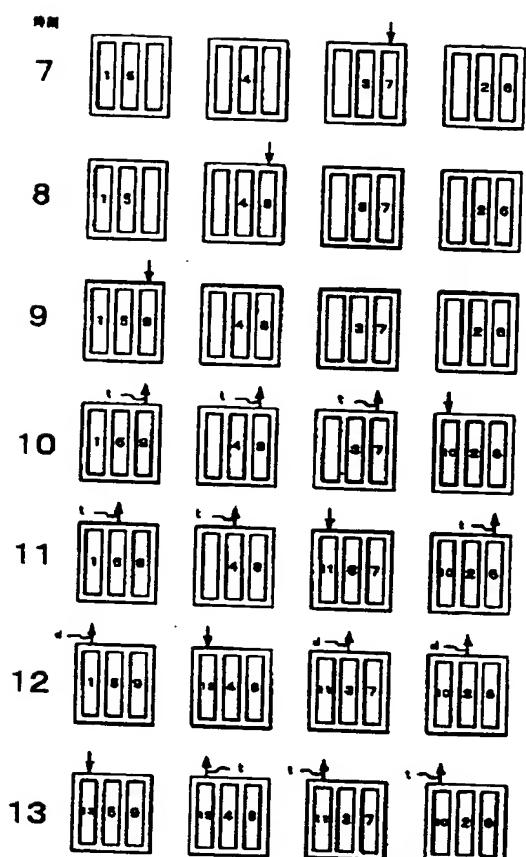
[図14]



【図15】



【図16】



[図18]

